

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-229671

(43)公開日 平成10年(1998)8月25日

(51)Int.Cl.\*

H 02 M 1/08  
H 01 L 29/78  
H 03 K 17/16

識別記号

3 5 1

F I

H 02 M 1/08  
H 03 K 17/16  
H 01 L 29/78

3 5 1 Z  
F  
6 5 7 G

審査請求 未請求 請求項の数 5 OL (全 6 頁)

(21)出願番号

特願平9-32225

(71)出願人

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(22)出願日 平成9年(1997)2月17日

(72)発明者

滝沢 聰毅

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者

武井 学

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74)代理人

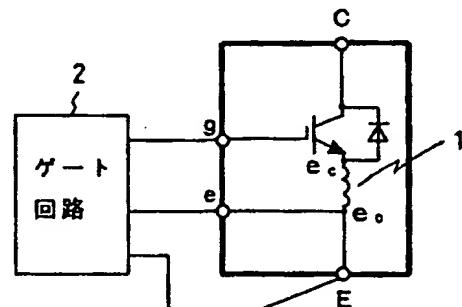
弁理士 松崎 清

(54)【発明の名称】 IGBTモジュールとそのゲート駆動回路

(57)【要約】

【課題】 IGBT等のスイッチング素子のターンオフ時ににおける $d i / d t$ のより一層の低減化を図る。

【解決手段】 IGBTチップのエミッタ部 $e_c$ と、IGBTモジュールのエミッタ主端子電極 $E$ 、補助端子電極 $e$ とIGBTチップのエミッタ部 $e_c$ との接続点 $e_0$ との間にインダクタ $1$ を接続することで、素子のターンオフ時に逆起電圧を発生させ、IGBTチップのゲート・エミッタ間電圧の急激な低下を抑え、コレクタ電流の変化率 $d i / d t$ を一層緩やかにする。



1

## 【特許請求の範囲】

【請求項1】 絶縁ゲートバイポーラトランジスタ (IGBT) チップの各部から各端子電極に配線が施され、ターンオフする際にゲート端子電極に電荷が注入されるIGBTモジュールにおいて、IGBTモジュールのエミッタ主端子電極と補助端子電極をIGBTチップのエミッタ部へそれぞれ接続する両配線の接合点と、IGBTチップのエミッタ部との間にインダクタを接続したことを特徴とするIGBTモジュール。

【請求項2】 絶縁ゲートバイポーラトランジスタ (IGBT) チップの各部から各端子電極に配線が施され、ターンオフする際にゲート端子電極に電荷が注入されるとともに、エミッタ主端子電極と補助端子電極をIGBTチップのエミッタ部へそれぞれ接続する両配線の接合点とIGBTチップのエミッタ部との間にインダクタを接続したIGBTモジュールと、その駆動回路とからなることを特徴とするIGBTモジュールの駆動回路。

【請求項3】 絶縁ゲートバイポーラトランジスタ (IGBT) チップの各部から各端子電極に配線が施され、ターンオフする際にゲート端子電極に電荷が注入されるIGBTモジュールにおいて、

IGBTモジュールのゲート端子電極とIGBTチップのゲート部との間、またはIGBTモジュールのエミッタ補助端子電極とIGBTチップのエミッタ部との間の少なくとも一方にインダクタを接続したことを特徴とするIGBTモジュール。

【請求項4】 絶縁ゲートバイポーラトランジスタ (I\*

$$V_{CE} = E_d + L \cdot d i / d t$$

$V_{CE}$  : IGBTのコレクタ・エミッタ電圧

$E_d$  : インバータの直流電源電圧

$L$  : 直流電源電圧とIGBT間の配線インダクタンス

$d i / d t$  : ターンオフ時の電流変化率

以上のことから、IGBTに印加される電圧を考慮すると、コレクタ電流減少期間中は、その  $d i / d t$  が低減されていることが望ましい。図4にコレクタ電流  $i_c$  の減少率 ( $d i / d t$ ) が急峻な場合を示し、図5に比較的緩やかな場合を示す。

【0003】 図6にこのような前提にもとづくゲート駆動回路の従来例を示す。同図において、6はメインデバイスであるIGBT、7はフォトカプラ(PC)などの絶縁器、8はフォトカプラの出力信号を增幅する增幅回路(AMP)、9はターンオン時におけるIGBT容量充電用の電源、10は同じくターンオフ時における放電用の電源、11はオン用のゲート抵抗、12はオフ用のゲート抵抗、13および14は増幅回路8の出力信号に基づきスイッチングを行なうスイッチ(一般的にはトランジスタまたはFET(電解効果トランジスタ)等)である。

2

\*GBT) チップの各部から各端子電極に配線が施され、ターンオフする際にゲート端子電極に電荷が注入されるとともに、ゲート端子電極とIGBTチップのゲート部との間、またはエミッタ補助端子電極とIGBTチップのエミッタ部との間の少なくとも一方インダクタを接続したIGBTモジュールと、その駆動回路とからなることを特徴とするIGBTモジュールの駆動回路。

【請求項5】 絶縁ゲートバイポーラトランジスタ (IGBT) チップの各部から各端子電極に配線が施され、ターンオフする際にゲート端子電極に電荷が注入されるIGBTモジュールと、その駆動回路とからなるIGBTモジュールのゲート駆動回路において、前記駆動回路とIGBTモジュール間にインダクタを接続したことを特徴とするIGBTモジュールのゲート駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、インバータなどの電力変換装置を構成するIGBT(絶縁ゲートバイポーラトランジスタ)のモジュール構成、およびそのゲート駆動回路に関する。

## 【0002】

【従来の技術】 一般に、IGBTがターンオフする際、コレクタ電流  $i_c$  は高い電流変化率 ( $d i / d t$ ) を伴って変化するため、IGBTには下記(1)式に示すように、スパイク状の高電圧が印加される。そのため、インバータなどを構成するときは、(1)式に見合う電圧定格を持つIGBTが必要になる。

…(1)

【0004】 図6のターンオン時に、IGBTのオン指令信号によりスイッチ13がオンすると、電源9より抵抗11を介して電流が流れるとともに、IGBTのゲート容量18が充電され、IGBTがターンオンする。一方、ターンオフ時に、オフ指令信号によりスイッチ14がオンすると、電源10より抵抗12を介して電流が流れIGBTのゲート容量18が放電され、IGBTがターンオフする。

【0005】 また、図6のブロック15はインダクタ16(一般に、IGBTモジュール内の配線インダクタンス(後述する図8のe0-E間を参照)を利用する)に発生する電圧により、IGBTのターンオフ時の  $d i / d t$  の大きさを検出する検出回路である。また、17はFET、18はコンデンサであり、検出回路15の出力信号のレベルがFETのしきい値以上になったとき、すなわちIGBTのターンオフ時の  $d i / d t$  の大きさが設定した値以上になったとき、FET17をオンさせ、IGBTのゲートに抵抗19を介してコンデンサ18の蓄積電荷を注入する。このとき、図7に矢印で示すような電流が流れ、この動作によりIGBTのゲート・エミッタ間の電圧は一時的にその減少を緩める(IGB

50 エミッタ間の電圧は一時的にその減少を緩める(IGB

Tの入力容量の放電を遅くする）。その結果、ターンオフ時の  $d i / d t$  は低減する方向に動作することになる。以上のことから、この種のゲート駆動回路は、IGBTがターンオフする際にIGBTのゲートに電荷の注入を行なうことにより、低  $d i / d t$  化を実現するものと言える。

【0006】図8にIGBTモジュールの内部構成を示す。同図において、20はIGBT素子とダイオードからなるIGBTチップで、このチップのコレクタ、ゲート、エミッタをそれぞれ $c_c$ 、 $g_c$ 、 $e_c$ とし、またIGBTモジュールの主コレクタ端子電極、主エミッタ端子電極、ゲート端子電極、補助エミッタ端子電極をそれぞれC、E、g、eで示す。このように、一般的なIGB\*

$$v_{gc-ec} = v_{g-e} - (Lg + Le) \cdot di_g / dt \\ \hat{=} v_{g-e} (di_g / dt \neq 0)$$

$Lg$ 、 $Le$  :  $g - g_c$  間、 $e - e_c$  間の配線インダクタンス

$i_g$  : ゲート電流

その結果、 $g - e$  間に印加する電圧に対応して  $g_c - e_c$  間に発生する電圧の応答が速くなるため、IGBTの入力容量は速やかに放電（短時間で  $v_{gc-ec}$  が低下）されることとなり、IGBTはこれらの動作に伴って速やかにターンオフする。そのため、図6のような駆動回路で電荷の注入を実施し、 $v_{gc-ec}$  の電圧低下の抑制を図っても、その効果が少なくなるという第1の課題を有することになる。

【0008】(2) また、図7に矢印で示すような経路で流れる電流は、抵抗19、コンデンサ18および経路内の配線インダクタンス（具体的には  $g - g_c$  間および  $e - e_c$  間の配線インダクタンス）による振動波形となる。ところで、図7に矢印で示すような経路で流れる振動電流は、そのピーク値付近、すなわち注入電荷量が多い時が、最も良く  $d i / d t$  の低減効果が得られるタイミングであるといえる。ところが、経路内のインダクタンス分が  $g - g_c$  間および  $e - e_c$  間の配線インダクタンスのみ（前述の通り、 $g - g_c$  間および  $e - e_c$  間の配線は数cm程度であるため、そのインダクタンスは概ね数10ナノヘンリー[nH]である）の場合、コレクタ電流の下降時間に比べ、一般にその振動周期は短い。そのため、コレクタ電流の下降現象と図7の回路による電荷の注入タイミングが合わなくななり（コレクタ電流の下降現象の初期段階で振動電流はピークとなるため、電荷の注入を最も多くしたい下降現象の中間付近では、電荷の注入量は少なくなる）、 $d i / d t$  の低減効果が低下するという第2の課題を有することになる。図9

(イ) にターンオフ時のコレクタ電流波形の例を、同(ロ)に図7の矢印の経路で流れる電流波形の例をそれぞれ示す。したがって、この発明の課題は上記第1、第2の課題を解消することにある。

【0009】

\* Tモジールの各電極はIGBTチップと金属ブスバーによって配線されており、その配線長は概ね数cm程度である。図8中の $e_c$ と $e_0$ との間はごく短い配線（極短配線）とされているのが一般的である。

【0007】

【発明が解決しようとする課題】

(1) 図8では $e_c$ と $e_0$ 間が極短配線されていることから、 $e_c$ と $e_0$ 間の配線インダクタンス値を「0」とすると、コレクタ電流下降中におけるIGBTチップのゲート・エミッタ間に印加される電圧 $v_{gc-ec}$ と、モジュールの電極のゲート・エミッタ間に印加される電圧 $v_{g-e}$ との間には、次の(2)式に示すような関係があり、両者はほぼ等しくなる。

$$\cdots (2)$$

【課題を解決するための手段】特に、上記第1の課題を解決するため、請求項1の発明では、 $e_c$ と $e_0$ 間にインダクタを接続するようにしている。すなわち、ターンオフ時のコレクタ電流の下降期間中は、 $e_c$ と $e_0$ 間に接続されたインダクタには逆起電圧が発生するため、 $g_c - e_c$ 間電圧の急激な低下は妨げられ、コレクタ電流の下降期間が延びる。これにより、電荷を注入することによる一層の $d i / d t$ 低減化が可能となる。このようなIGBTに駆動回路を接続すれば、ゲート駆動回路を構成することができる（請求項2の発明）。

【0010】また、請求項3の発明では、 $g - g_c$ 間、 $e - e_c$ 間の少なくとも1カ所にインダクタを接続するようにしている。かかるIGBTに駆動回路を接続すれば、ゲート駆動回路を構成することができる（請求項4の発明）。さらに、請求項5の発明では、ゲート回路とIGBTモジュールのゲート電極、補助エミッタ電極との間の少なくとも1カ所にインダクタを接続するようにしている。請求項3～5の発明では、接続したインダクタによって図7に矢印で示す経路で流れる電流の振動周期が延び、 $d i / d t$ が最も急峻となる付近でゲートに注入する電荷量をピークとすることができ、特に、上記第2の課題を解決することができる。

【0011】

【発明の実施の形態】図1はこの発明の第1の実施の形態を示す構成図である。これは、IGBTモジュールのエミッタ主端子電極Eと補助端子電極eをIGBTチップのエミッタ部 $e_c$ へそれぞれ接続する両配線の接合点 $e_0$ と、IGBTチップのエミッタ部 $e_c$ との間にインダクタ1を接続した例である。なお、2はIGBTモジュールをオン、オフさせるためのゲート回路である。

【0012】図2(イ)、(ロ)および(ハ)はこの発明の第2の実施の形態を示す構成図である。図2(イ)は、IGBTチップのゲート部 $g_c$ とモジュールのゲート電極gとの間、およびIGBTチップのエミッタ部 $e_c$ への接合点 $e_0$ とモジュールの補助エミッタ電極部e

5

との間に、それぞれインダクタ1A, 1Bを接続した例である。図2(口)は、IGBTチップのエミッタ部e<sub>c</sub>への接合点e<sub>0</sub>とモジュールの補助エミッタ電極部e<sub>c</sub>との間に、インダクタ1Bを接続した例である。また、図2(ハ)は、IGBTチップのゲート部g<sub>c</sub>とモジュールのゲート電極gとの間に、インダクタ1Aを接続した例である。

【0013】図3(イ), (ロ)および(ハ)はこの発明の第3の実施の形態を示す構成図である。図3(イ)は、ゲート回路2のゲート接続端子g<sub>g</sub>とモジュールのゲート電極gとの間、およびゲート回路2のエミッタ接続端子e<sub>g</sub>とモジュールの補助エミッタ電極部eとの間に、それぞれインダクタ1C, 1Dを接続した例である。図3(ロ)は、ゲート回路2のエミッタ接続端子e<sub>g</sub>とモジュールの補助エミッタ電極部eとの間に、インダクタ1Dを接続した例である。図3(ハ)は、ゲート回路2のゲート接続端子g<sub>g</sub>とモジュールのゲート電極gとの間に、インダクタ1Cを接続した例である。

【0014】すなわち、図1のようにすれば、ターンオフ時のコレクタ電流の下降期間中は、e<sub>c</sub>とe<sub>0</sub>間に接続されたインダクタ1には逆起電圧が発生するため、g<sub>c</sub>-e<sub>c</sub>間電圧の急激な低下が妨げられ、コレクタ電流の下降期間が延びる。これにより、電荷を注入することによる一層のd*i*/d*t*低減化が可能となる。また、接続するインダクタ1A~1Dによって図7に矢印で示す経路で流れる電流の振動周期が延び、d*i*/d*t*が最も急峻となる付近でゲートに注入する電荷量をピークとすることができる、上記第2の課題を解決することができる。

【0015】

【発明の効果】この発明によれば、ゲートに電荷を注入するゲート回路により駆動されるIGBTに適用するこ\*

6

\*により、ターンオフ時におけるd*i*/d*t*の一層の低減効果が得られる。その結果、IGBTに印加されるスパイク状の電圧も低減する。したがって、インバータなどの装置を構成する際、従来よりも電圧定格の低いデバイスの使用が可能になるため、装置の小型化、低コスト化が実現できる、などの利点が得られる。

## 【図面の簡単な説明】

【図1】この発明の第1の実施の形態を示す構成図である。

【図2】この発明の第2の実施の形態を示す構成図である。

【図3】この発明の第3の実施の形態を示す構成図である。

【図4】IGBTのコレクタ電流の減少が急峻な場合を示す波形図である。

【図5】IGBTのコレクタ電流の減少が比較的緩やかな場合を示す波形図である。

【図6】ゲート駆動回路の従来例を示す構成図である。

【図7】図6でIGBTターンオフ時に流れる電流経路の説明図である。

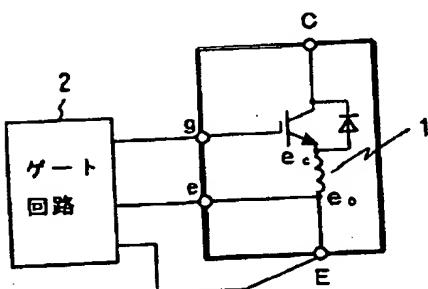
【図8】IGBTモジュールの内部結線を示す構成図である。

【図9】図6のIGBTモジュールを流れる電流波形の説明図である。

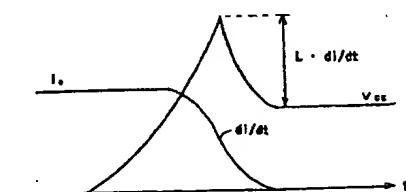
## 【符号の説明】

1, 1A~1D, 16, L<sub>a</sub>…インダクタ、2…ゲート回路、6…絶縁ゲートバイポーラトランジスタ(IGBT)、7…絶縁器(PC)、8…増幅回路(AMP)、9, 10…電源、11…オン用のゲート抵抗、12…オフ用のゲート抵抗、13, 14…スイッチ、15…検出回路、17…FET、18…コンデンサ、19…抵抗、20…IGBTチップ。

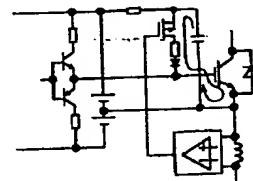
【図1】



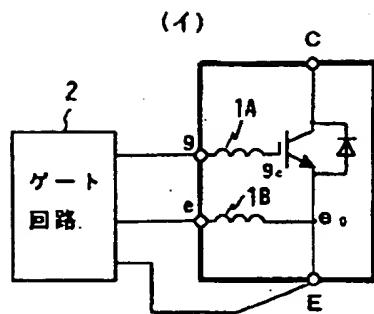
【図4】



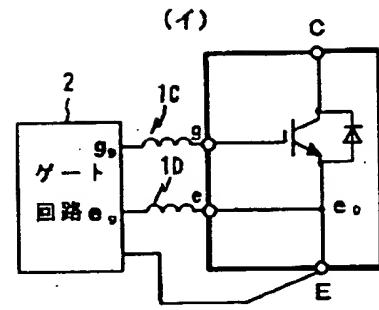
【図7】



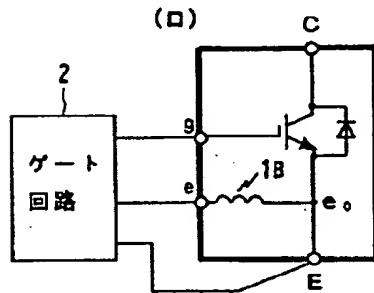
【図2】



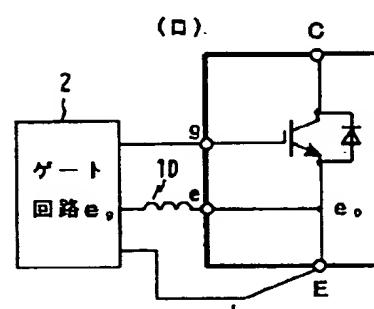
【図3】



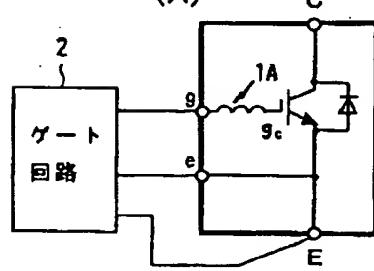
(ロ)



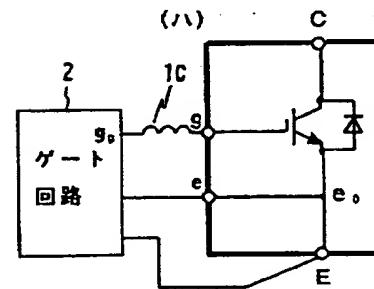
(ロ)



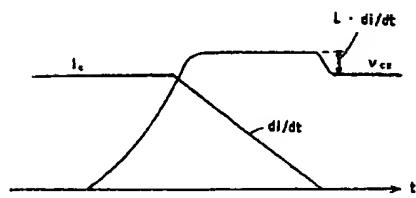
(ハ)



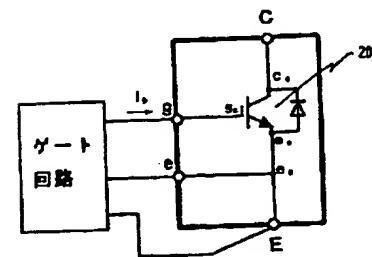
(ハ)



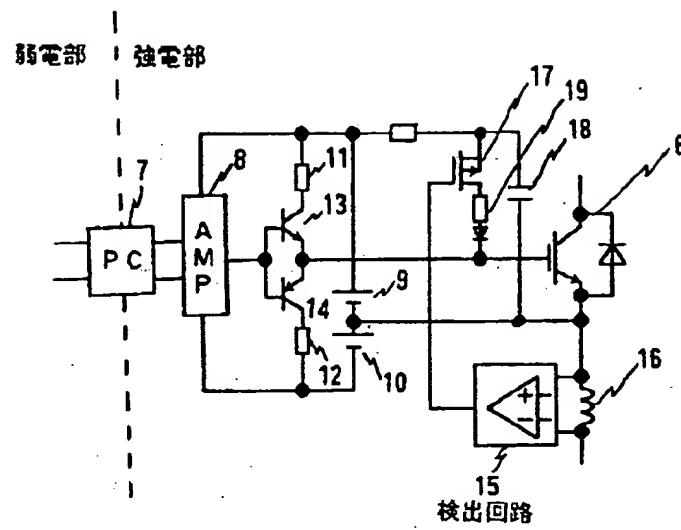
【図5】



【図8】



【図6】



【図9】

